

## Abstract

Many high frequency applications as local oscillators for various communication links, measurement equipments (oscilloscope, frequency generator) or microprocessors require the synthesis of a signal having tight error margins for parameters as output frequency, settling time, jitter, and phase noise. A new approach to a frequency synthesizer is proposed: instead of a fixed frequency reference oscillator and a variable ratio frequency divider we use a variable frequency reference oscillator and a fixed ratio frequency divider.

The implementation and characterization of a low phase-noise compensated oscillator used as frequency reference for a wireless transceiver is described. This circuit employs a high Q piezoelectric resonator together with a CMOS cross coupled pair amplifier exhibiting a negative small-signal resistance. A calibration circuit for the compensation of frequency errors produced by the deposition process variations is proposed. A new compensation circuit for these frequency errors has been proposed, aimed to satisfy the specifications of the wireless standard 802.11g regarding the parameters of the carrier signals for all 14 communication channels.

Within the proposed dual-loop synthesizer circuit, we combine the advantage of the high frequency precision of DPLL circuits, with the advantage of a fast output frequency settling time offered by an ADPLL circuit. Therefore, in comparison with a dual-loop PLL synthesizer built with the DPLLs or ADPLLs, the proposed synthesizer has a better phase acquisition speed than DPLL circuit and a better frequency resolution than the ADPLL circuit.

The approach proposed in this thesis has two main advantages:

- The possibility to include in a single SiP (system in a package) or SoC (system on a chip) the CMOS circuitry together with the AIN BAW resonator, at a relatively low cost.
- Using a frequency reference providing a variable frequency signal, the loop divider has a fixed division ratio for all channels of the wireless transceiver. This approach eliminates a main source of noise in the classical solution – the frequency divider with variable division factor.

In order to prove these advantages, some simulations using several CADENCE analyses have been performed, using the design kit of the TSMC 180nm technology.

## Abstract

Multe aplicații de înaltă frecvență, cum ar fi oscilatoarele locale pentru diverse sisteme de comunicații, echipamentele de măsurare (osciloscop, generator de frecvență) sau microprocesoarele necesită sinteza unui semnal de referință cu margini de eroare strânse pentru parametri precum frecvența de ieșire, timpul de setare, erorile de periodicitate ale unor semnale (jitter) și zgomotul de fază. Se propune o nouă abordare a unui sintetizor de frecvență: în locul unei referințe de frecvență fixă și a unui divizor de frecvență cu factor variabil, se folosește o referință de frecvență variabilă și un divizor de frecvență cu factor fix.

Este abordată implementarea și caracterizarea unei referințe de frecvență pentru un emitor-receptor (transceiver) Wi-fi, ce folosește un oscilator cu zgomot de fază redus. Acest circuit folosește un rezonator piezoelectric cu factor de calitate Q ridicat, împreună cu o pereche diferențială de tranzistoare CMOS folosită ca circuit care are o rezistență negativă de semnal mic. Este propus un circuit de calibrare pentru compensarea erorilor de frecvență produse de variația unor parametri ai procesului de depunere. În aceste condiții, pentru a satisface specificațiile standardului wireless 802.11g cu privire la parametrii semnalelor purtătoare pentru toate cele 14 canale de comunicație, s-a propus un circuit nou de compensare.

Schema sintetizorului cu două bucle propus combină avantajul preciziei frecvenței caracteristic buclilor DPLL cu avantajul unui timp de setare rapidă a frecvenței de ieșire oferit de o buclă ADPLL. Prin urmare, în comparație cu sintetizorul cu două bucle DPLL sau cu cel cu două bucle ADPLL, varianta propusă are o viteză de achiziție a fazei mai bună decât sintetizorul DPLL și o rezoluție de frecvență mai bună decât sintetizorul ADPLL.

Abordarea propusă în această lucrare are două avantaje importante:

- Posibilitatea de a include într-un singur sistem de tipul SiP (system in a package) sau de tipul SoC (system on a chip), cu un pret relativ mic, componente realizate cu două tehnologii diferite: cea a circuitelor CMOS și cea a rezonatoarelor piezoelectrice cu unde acustice de volum realizate cu nitru de aluminiu (AIN-BAW).
- Folosind o referință de frecvență variabilă, divizorul de frecvență are un factor de divizare fix pentru toate canalele transmițătorului wireless. Această soluție elimină o sursă principală de zgomot a variantei clasice - divizorul de frecvență cu factor de divizare variabil.

Pentru a demonstra aceste avantaje, au fost efectuate simulări folosind mai multe analize CADENCE, utilizând kitul de proiectare al tehnologiei TSMC de 180nm.